

特表平10-512070

(43) 公表日 平成10年(1998)11月17日

(51) Int. Cl.

G 0 6 F 9/30

識別記号

3 5 0

F I

G 0 6 F 9/30

3 5 0 E

審査請求 未請求 予備審査請求 有 (全 56 頁)

(21) 出願番号 特願平8-519125
 (86) (22) 出願日 平成7年(1995)12月1日
 (85) 翻訳文提出日 平成9年(1997)6月2日
 (86) 国際出願番号 PCT/US95/15713
 (87) 国際公開番号 WO96/17291
 (87) 国際公開日 平成8年(1996)6月6日
 (31) 優先権主張番号 08/349, 047
 (32) 優先日 1994年12月2日
 (33) 優先権主張国 米国 (US)

(71) 出願人 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォルニア
 州・サンタ クララ・ミッション カレッ
 ジ ブレーバード・2200
 (72) 発明者 ベレグ, アレキザンダー
 イスラエル国・ハイファ・カメリア・ハン
 ナ ストリート・38
 (72) 発明者 ヤーリ, ヤーコブ
 イスラエル国・ハイファ・ハナディン・ソ
 ーロ ハナディン・17/2
 (74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 複合オペランドのバック演算機能を有するマイクロプロセッサ

(57) 【要約】

プロセッサが、第1のバックドデータを格納する第1のレジスタ(209)と、デコーダ(202)と、機能ユニット(203)とを備える。デコーダは、第1の制御信号と第2の制御信号を受け取る制御信号入力(207)を有する。第1の制御信号はバック演算を示し、第2の制御信号はアンバック演算を示す。機能ユニットはデコーダ(202)とレジスタ(209)に結合されている。機能ユニットは、第1のバックドデータを使用してバック演算とアンバック演算を行うほか、移動演算も行う。

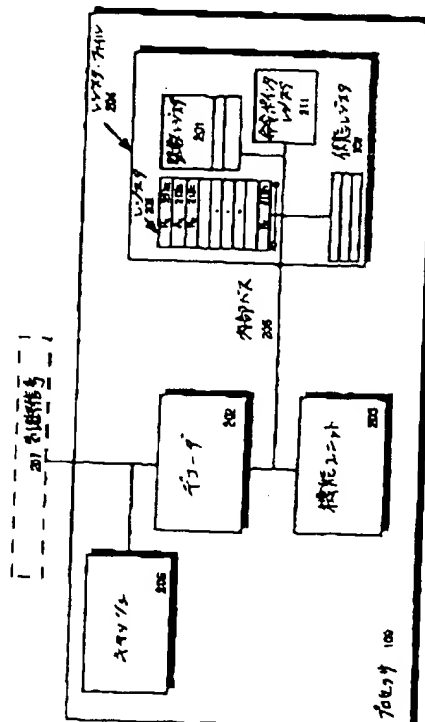


Figure 2

【特許請求の範囲】

1. 第1のバックドデータを格納する第1のレジスタと、
バック演算を示す第1の制御信号とアンバック演算を示す第2の制御信号とを受け取る制御信号入力と、
前記デコーダと前記第1のレジスタとに結合され、前記第1のバックドデータを使用して前記バック演算と前記アンバック演算を実行する機能ユニットとを備えるプロセッサ。
2. 前記第1のバックドデータが複数のデータ要素を含み、前記複数のデータ要素の各データ要素がサイズを有し、前記第1の制御信号が前記サイズに対応するインジケータをさらに含むことを特徴とする、請求項1に記載のプロセッサ。
3. 前記サイズがバックドバイトとバックドワードとバックドダブルワードとうちの1つであることを特徴とする、請求項2に記載のプロセッサ。
4. 前記第1のバックドデータが64ビットであることを特徴とする、請求項2に記載のプロセッサ。
5. 前記第1の制御信号がソース・アドレスを含むことを特徴とする、請求項1に記載のプロセッサ。
6. 前記第1の制御信号が符号インジケータを含み、前記符号インジケータが前記バック演算を符号付きと無符号のどちらで行うかを決定することを特徴とする、請求項1に記載のプロセッサ。
7. 前記制御信号入力がさらに、移動演算を示す第3の制御信号を受け取ることができ、前記プロセッサが第2のレジスタをさらに備え、前記第2のレジスタに整数データが格納され、前記移動演算によって前記プロセッサが前記第1のレジスタと前記第2のレジスタの間でデータを移動することを特徴とする、請求項1に記載のプロセッサ。
8. 前記プロセッサが、レジスタを含むレジスタ・ファイルをさらに備え、前記第1の制御信号と前記第2の制御信号が第2の場所を含み、前記第2の場所が前記レジスタに対応し、前記機能ユニットがさらに演算の結果を生成し、前記結果が前記第2の場所に格納されることを特徴とする、請求項1に記載のプロセッサ。

サ。

9. 前記プロセッサの第1の制御信号が第2の場所を含み、前記第2の場所が記憶場所に対応し、前記機能ユニットがさらに演算の実行の結果を生成し、前記結果が前記第2の場所に格納されることを特徴とする、請求項1に記載のプロセッサ。

10. デコーダと機能ユニットと第1のレジスタと第2のレジスタとを備え、前記デコーダが前記機能ユニットと前記第1のレジスタと前記第2のレジスタとに結合されたプロセッサにおいてバックデータを操作する方法であって、

前記デコーダが制御信号をデコードするステップと、

前記制御信号がバック演算を示していると前記デコーダが判断した場合、前記プロセッサが、

前記第1のレジスタに格納されている第1のバックデータにアクセスするステップと、

前記第2のレジスタに格納されている第2のバックデータにアクセスするステップと、

前記第1のバックデータを前記第2のバックデータと共にバックして結果バックデータを生成するステップと、

前記結果バックデータを第1のレジスタに格納するステップとを実行するステップと、

前記制御信号がアンパック演算を示していると前記デコーダが判断した場合、前記プロセッサが、

前記第1のレジスタに格納されている前記第1のバックデータにアクセスするステップと、

前記第2のレジスタに格納されている前記第2のバックデータにアクセスするステップと、

前記第1のバックデータと前記第2のバックデータをアンパックして前記結果バックデータを生成するステップと、

前記結果バックデータを前記第1のレジスタに格納するステップ

とを実行するステップと、

前記制御信号が移動演算を示していると前記デコーダが判断した場合、前記プロセッサが、

前記第2のレジスタに格納されている前記第2のバックドデータにアクセスするステップと、

整数データを記憶する第3のレジスタに前記第2のバックドデータの一部を格納するステップと

を含む、プロセッサにおいてバックドデータを操作する方法。

11. 前記バックが飽和なしで行われ、前記バックが前記第1のバックドデータ内および前記第2のバックドデータ内の各データ要素の下位ビットにアクセスするステップを含み、前記下位ビットが前記結果バックドデータに含まれることを特徴とする、請求項10に記載の方法。

12. 前記第1のバックドデータが第1の複数のデータ要素を含み、前記第1の複数のデータ要素の各データ要素が第1の所定のビット数で表され、前記制御信号がサイズインジケータを含み、前記サイズインジケータが前記第1の所定のビット数を示し、前記結果バックドデータが第2の複数のデータ要素を含み、前記第2の複数のデータ要素が前記第1の複数のデータ要素の2倍のデータ要素を有し、前記第2の複数のデータ要素の各データ要素が第2の所定のビット数で表され、前記第2の所定のビット数が前記第1のビット数の半分であることを特徴とする、請求項10に記載の方法。

13. 前記第1のバックドデータが第1の組のデータ要素を含み、前記第2のバックドデータが第2の組のデータ要素を含み、前記アンバックが前記第1の組のデータ要素の下位データ要素を前記第2の組のデータ要素の下位データ要素によってインタリーブすることを特徴とする、請求項10に記載の方法。

14. 前記第1のレジスタが64ビット長であり、前記第1のバックドデータが4個のバックワード・データ要素を含むことを特徴とする、請求項10に記載の方法。

・【発明の詳細な説明】

複合オペランドのバック演算機能を有するマイクロプロセッサ

発明の背景発明の分野

本発明は、単一の制御信号を使用して複数のデータ要素を操作する演算を行う装置および方法を含む。本発明は、バックされたデータ（バックドデータ）・データ・タイプに対する移動演算、バック演算、およびアンバック演算の実行を可能にする。

関連技術の説明

現在、ほとんどのパーソナル・コンピュータ・システムは1つの命令によって演算を行って1つの結果を出す。命令の実行速度とプロセッサ命令の複雑さを増すことと、複数の命令を並列して実行することによって、パフォーマンスの向上が実現され、これは複雑命令セット・コンピュータ（CISC, Complex Instruction Set Computer）と呼ばれる。米国カリフォルニア州サンタクララ所在のインテル・コーポレーションが販売するIntel 80286TMマイクロプロセッサのようなプロセッサがCISCプロセッサの範疇に入る。

以前のコンピュータ・システム・アーキテクチャは、CISCの概念を利用するように最適化されていた。そのようなシステムは一般に、32ビット幅のデータ・バスを持つ。しかし、コンピュータ・サポータード・コオペレーション（CSC：電子会議と混在メディア・データ操作を統合したもの）、二次元／三次元グラフィックス、画像処理、ビデオ圧縮／圧縮解除、認識アルゴリズム、および音声操作を対象にしたアプリケーションによって、パフォーマンス向上の必要が増す。しかし、命令の実行速度と複雑さを増すことが唯一の解決策である。

これらのアプリケーションの1つの一般的な点は、数ビットだけが重要な、大量のデータを操作することが多いことである。すなわち、意味のあるビットがデータ・バスのサイズよりもはるかに少ないビット数で表されるデータである。たとえば、プロセッサは8ビットおよび16ビットのデータ（たとえばビデオ画像

における画素の色成分）に対して多くの演算を実行するが、それよりかなり広い

でデータ・バスとレジスタを有する。したがって、32ビットのデータ・バスとレジスタを有し、これらのアルゴリズムの1つを実行するプロセッサは、データの先頭8ビットだけが重要であるため、そのデータの処理、伝送、および記憶容量の最大75パーセントが無駄になることがある。

したがって、操作するデータを表すのに必要なビット数とプロセッサの実際のデータ伝送および記憶容量との差をより効率的に使用することによってパフォーマンスを向上させるプロセッサが望ましい。

発明の概要

複数のデータ要素に対して作用するシフト演算（シフトオペレーション）を有するプロセッサについて説明する。

このプロセッサは、第1のバックドデータを格納する第1のレジスタと、デコーダと、機能ユニットとを備える。デコーダは、制御信号入力を有する。制御信号入力は、第1の制御信号と第2の制御信号を受け取る。第1の制御信号はバック演算を示す。第2の制御信号はアンバック演算を示す。機能ユニットはデコーダとレジスタとに結合されている。機能ユニットは、第1のバックドデータを使用してバック演算とアンバック演算を行う。プロセッサは移動演算もサポートする。

本説明および図には多くの詳細が含まれるが、本発明は請求の範囲によって定義される。本発明には、それらの請求の範囲に記載されている限定だけが適用される。

図面の簡単な説明

本発明を、図面に限定的なものではなく例として図示する。同様の参照符号は同様の要素を示す。

第1図は、本発明の方法および装置を使用するコンピュータ・システムの実施例を示す図である。

第2図は、本発明のプロセッサの実施例を示す図である。

第3図は、プロセッサがレジスタ・ファイル内のデータを操作するために使用する一般的なステップを示す流れ図である。

第4 a 図は、記憶データ・タイプを示す図である。

第4 b 図、第4 c 図、および第4 d 図は、レジスタ内整数データ表現を示す図である。

第5 a 図は、バックドデータ・タイプを示す図である。

第5 b 図、第5 c 図、および第5 d 図は、レジスタ内バックドデータ表現を示す図である。

第6 a 図は、バックドデータの使用を示す、コンピュータ・システムで使用される制御信号形式の図である。

第6 b 図は、バックドデータまたは整数データの使用を示す、コンピュータ・システムで使用可能な第2の制御信号形式の図である。

第7 図は、バックドデータに対してシフト演算を行うときにプロセッサが従う方法の一実施例を示す図である。

第8 a 図は、バックドバイト・データに対するバック演算を実施することができる回路を示す図である。

第8 b 図は、バックドワード・データに対するバック演算を実施することができる回路を示す図である。

第9 図は、バックドデータに対するアンバック演算を行う場合にプロセッサがたどる方法の一実施例を示す図である。

第10 図は、バックドデータに対するアンバック演算を実施することができる回路を示す図である。

好ましい実施例の説明

本発明の一実施例の概要

複数のデータ要素に対して作用する移動演算（ムーブオペレーション）とバック演算とアンバック演算の機能を有するプロセッサについて説明する。以下の説明では、本発明を十分に理解することができるように、回路などの多くの特定の詳細を記載する。他の場合には、本発明が無用に不明瞭にならないように、周知

の構造および技法については詳細に示さない。

定義

本発明の実施態様の説明を理解する基礎となるように、以下のように定義を示す。

ビットXないしビットY：二進数のサブフィールドを規定する。たとえば、（基数2で示した）バイト00111010₂のビット6ないしビット0は、1サブフィールド11010₂を表す。二進数の後の下付け文字「2」は基数2を示す。したがって、1000₂は8₁₀に等しく、F₁₆は15₁₀に等しい。

R_x：レジスタである。レジスタは、データの記憶と供給を行うことができる任意の素子である。レジスタの他の機能については後述する。レジスタはプロセッサのパッケージの一部であるとは限らない。

DEST：データ・アドレスである。

SRC1：データ・アドレスである。

SRC2：データ・アドレスである。

結果(Result)：DESTによってアドレス指定されたレジスタに格納されるデータである。

ソース1：SRC1によってアドレス指定されたレジスタに格納されているデータである。

ソース2：SRC2によってアドレス指定されたレジスタに格納されているデータである。

コンピュータ・システム

第1図を参照すると、本発明の実施例を実施することができるコンピュータ・システムが、コンピュータ・システム100として図示されている。コンピュータ・システム100は、情報を伝送するバス101またはその他の通信ハードウェアおよびソフトウェアと、バス101に結合された情報を処理するプロセッサ109とを備える。コンピュータ・システム100はさらに、バス101に結合され、プロセッサ109によって実行される情報と命令を記憶するランダム・ア

クセス・メモリ(RAM)またはその他のダイナミック記憶装置(メイン・メモリ104と呼ぶ)を備える。メイン・メモリ104は、プロセッサ109による命令の実行中に変数またはその他の中間情報を一時的に記憶するためにも使用する

ることができる。コンピュータ・システム100は、バス101に結合され、プロセッサ109のための静的情報および命令を記憶する読取り専用メモリ(ROM)106またはその他のスタティック記憶装置あるいはその両方も備える。バス101には情報と命令を記憶するデータ記憶装置107が結合されている。

さらに、コンピュータ・システム100には磁気ディスクや光ディスクなどのデータ記憶装置107とそれに対応するディスク・ドライブを結合することができる。コンピュータ・システム100は、コンピュータ・ユーザに情報を表示するためにバス101を介して表示装置121にも結合することができる。表示装置121は、フレーム・バッファ、専用グラフィックス・レンダリング装置、陰極線管(CRT)、フラット・パネル・ディスプレイを含むことができる。プロセッサ109に情報とコマンド選択を伝えるために、英数字およびその他のキーを備える英数字入力装置122が、典型的にはバス101に結合されている。他のタイプのユーザ入力装置は、プロセッサ109に指示情報とコマンド選択を伝え、表示装置121上のカーソル移動を制御する、マウス、トラックボール、ペン、タッチ画面、カーソル指示キーなどのカーソル制御装置123である。この入力装置は一般に、第1の軸(たとえばx)と第2の軸(たとえばy)の2つの軸に2つの自由度を持ち、それによってこの装置は平面内の位置を指定することができる。しかし、本発明は、2つの自由度しかもたない入力装置には限定されない。

バス101に結合することができる他の装置は、命令、データ、またはその他の情報を、紙、フィルム、または同様のタイプの媒体などの媒体に印刷するために使用することができるハード・コピー装置124である。さらに、コンピュータ・システム100は、情報を記録するためにマイクロホンに結合されたオーディオ・ディジタイザなど、録音または再生あるいはその両方のための装置125に結合することができる。さらに、この装置は、ディジタル化された音声を再生するためにディジタル-アナログ(D/A)変換器に結合されたスピーカも含む

ことができる。

また、コンピュータ・システム100は、コンピュータ・ネットワーク(たと

例えばLAN)内の端末とすることもできる。その場合、コンピュータ・システム100は、いくつかのネットワーク化された装置を含むコンピュータ・システムのコンピュータ・サブシステムとなる。コンピュータ・システム100は、任意選択としてビデオ・ディジタイジング装置126を備える。ビデオ・ディジタイジング装置126を使用して、ビデオ画像をキャプチャし、それをコンピュータ・ネットワーク上の他の装置に送信することができる。

コンピュータ・システム100は、コンピュータ・サポータード・コオペレーション(CSC:電子会議と混在媒体データ操作とが統合されたもの)、二次元/三次元グラフィックス、画像処理、ビデオ圧縮/圧縮解除、認識アルゴリズム、および音声操作に対応するのに有用である。

プロセッサ

第2図にプロセッサ109の詳細図を示す。プロセッサ109は、BiCMOS、CMOS、NMOSなどのいくつかの処理技法のいずれかを使用して、1つまたは複数の基板上に実装することができる。

プロセッサ109は、プロセッサ109が使用する制御信号とデータをデコードするデコーダ202を備える。その場合、データは内部バス205を介してレジスタ・ファイル204に格納することができる。明確に言えば、実施例のレジスタは特定のタイプの回路にのみに限定されることを意味しない。むしろ実施例のレジスタは、データの記憶および供給と、本明細書に記載の機能を実行することができる。

データは、データのタイプに応じて、整数レジスタ201、レジスタ209、状態レジスタ208、または命令ポインタ・レジスタ211に格納することができる。たとえば浮動小数点レジスタなど他のレジスタをレジスタ・ファイル204に含めることができる。一実施例では、整数レジスタ201には、32ビットの整数データが格納される。一実施例では、レジスタ209にはR₀212a～R₇212hの8個のレジスタが含まれる。レジスタ209内の各レジスタ長は

64ビットである。R₁212a、R₂212b、およびR₃212cがレジスタ209内の個々のレジスタの例である。レジスタ209内の32ビットのレジス

タを、整数レジスタ201内の整数レジスタに移動させることができる。同様に、整数レジスタ内の値をレジスタ209内の32ビットのレジスタに移動させることができる。

状態レジスタ208は、プロセッサ109の状況を示す。命令ポインタ・レジスタ211には、次に実行される命令のアドレスが格納される。整数レジスタ201、レジスタ209、状態レジスタ208、および命令ポインタ・レジスタ211はすべて内部バス205に接続されている。内部バスには任意の追加のレジスタが接続される。

他の実施例では、これらのレジスタのうちのいくつかは2つの異なるタイプのデータに使用することができる。たとえば、レジスタ209と整数レジスタ201を組み合わせ、各レジスタに整数データまたはパックドデータを格納することができる。他の実施例では、レジスタ209を浮動小数点レジスタとして使用することができる。この実施例では、パックドデータはレジスタ209または浮動小数点データに格納することができる。一実施例では、組み合わせられたレジスタの長さは64ビットで、整数は64ビットで表される。この実施例では、パックドデータと整数データを格納する際に、レジスタはその2つのデータ・タイプを区別する必要がない。

機能ユニット203は、プロセッサ109が行う演算（オペレーション）を実行する。このような演算には、シフト、加算、減算、乗算などが含まれる。機能ユニット203は内部バス205に接続している。キャッシュ206は、プロセッサ109の任意選択要素であり、たとえばメイン・メモリ104からのデータまたは制御信号あるいはその両方をキャッシュするために使用される。キャッシュ206は、デコーダ202に接続され、制御信号207を受信するように接続されている。

第3図に、プロセッサ109の動作概要を示す。すなわち、第3図にはプロセッサ109がパックドデータに対する演算、アンパックドデータに対する演算、または他の何らかの操作を実行する間にたどるステップが示されている。たとえば、このような操作にはレジスタ・ファイル204内のレジスタに、キャッシュ

206、メイン・メモリ104、読取り専用メモリ（ROM）106、またはデータ記憶装置107からデータをロードする操作が含まれる。本発明の一実施例では、プロセッサ109は、米国カリフォルニア州サンタクララ所在のインテル・コーポレーションが販売するIntel 80486TMによってサポートされる命令のほとんどをサポートする。本発明の他の実施例では、プロセッサ109は米国カリフォルニア州サンタクララ所在のインテル・コーポレーションが販売するIntel 80486TMによってサポートされるすべての演算をサポートする。本発明の他の実施例では、プロセッサ109は、すべて米国カリフォルニア州サンタクララ所在のインテル・コーポレーションが販売するPentiumTMプロセッサ、Intel 80486TMプロセッサ、80386TMプロセッサ、Intel 80286TMプロセッサ、およびIntel 8086TMプロセッサによってサポートされるすべての演算をサポートする。本発明の他の実施例では、プロセッサ109は、米国カリフォルニア州サンタクララ所在のインテル・コーポレーションが定義するIATM（インテル・アーキテクチャ）でサポートされるすべての演算をサポートする（米国カリフォルニア州サンタクララのインテルから入手可能な「Microprocessors, Intel Data Books volume 1およびvolume 2、1992年および1993年刊」を参照）。一般に、プロセッサ109はPentiumTMプロセッサの現行命令セットをサポートすることができるが、将来の命令と本明細書に記載の命令を組み込むように修正することもできる。重要なのは、汎用プロセッサ109が、本明細書に記載の演算に加えて、従来使用されていた演算をサポートすることができることである。

ステップ301で、デコーダ202がキャッシュ206またはバス101から制御信号207を受け取る。デコーダ202は、制御信号をデコードして、実行すべき演算を判断する。

ステップ302で、デコーダ202はレジスタ・ファイル204またはメモリ内の記憶場所にアクセスする。制御信号207で指定されたレジスタ・アドレスに応じて、レジスタ・ファイル204内のレジスタかメモリ内の記憶場所のどち

らかにアクセスする。たとえば、バックドデータに対する演算の場合、制御信号207にはSRC1、SRC2、およびDESTレジスタ・アドレスを含めることができる。SRC1は第1のソース・レジスタのアドレスである。SRC2は第2のソース・レジスタのアドレスである。すべての演算が2つのソース・アドレスを必要とするわけではないので、場合によってはSRC2アドレスは任意選択である。SRC2アドレスが不要な場合、SRC1アドレスのみが使用される。DESTは、結果データが格納される宛先レジスタのアドレスである。一実施例では、SRC1またはSRC2はDESTとしても使用される。SRC1、SRC2、およびDESTについては第6a図および第6b図を参照しながら詳述する。対応するレジスタに格納されているデータをそれぞれSource1、Source2、およびResultと呼ぶ。これらの各データの長さは64ビットである。

本発明の他の実施例では、SRC1、SRC2、およびDESTのいずれか1つまたは全部は、プロセッサ109のアドレス可能記憶空間内の記憶場所を規定することができる。たとえば、SRC1はメイン・メモリ104内の記憶場所を識別し、SRC2は整数レジスタ201内の第1のレジスタを識別し、DESTはレジスタ209内の第2のレジスタを識別する。本明細書では説明を簡単にするために、レジスタ・ファイル204へのアクセスについて言及するが、これらのアクセスはレジスタ・ファイル204の代わりにメモリに対して行うこともできる。

本発明の他の実施例では、命令コードはSRC1とSRC2の2つのアドレスしか含まない。この実施例では、演算の結果はSRC1レジスタまたはSRC2レジスタに格納される。すなわち、SRC1（またはSRC2）をDESTとして使用する。このタイプのアドレス指定は、2つのアドレスしか持たない以前のCISC命令に対応する。これによって、デコーダ202における複雑さが減少する。この実施例では、SRC1レジスタに含まれるデータを破壊してはならない場合、演算を実行する前にそのデータをまず別のレジスタにコピーしなければならないことに留意されたい。コピーには追加の命令が必要になる。本明細書では説明を簡単にするために、3アドレスのアドレス指定方式について説明する

(すなわちSRC1、SRC2、およびDEST)。しかし、一実施例では制御信号にSRC1とSRC2しか含めることができず、SRC1（またはSRC2）によって宛先レジスタを識別することを想起されたい。

制御信号が演算を要求とする場合、ステップ303で、機能ユニット203がレジスタ・ファイル204内のアクセス・データに対してその演算を実行するように使用可能にされる。機能ユニット203で演算が実行されると、ステップ304でその結果が制御信号207の要件に従ってレジスタ・ファイル204に戻されて格納される。

データ形式および記憶形式

第4a図に、第1図のコンピュータ・システムで使用可能なデータ形式をいくつか示す。これらのデータ形式は固定小数点である。プロセッサ109はこれらのデータ形式を操作することができる。マルチメディア・アルゴリズムはこれらのデータ形式を使用することが多い。バイト401は8ビットの情報を含む。ワード402は16ビットの情報、すなわち2バイトを含む。ダブルワード403は32ビットの情報、すなわち4バイトを含む。したがって、プロセッサ109はこれらの記憶データ形式のうちの任意の1つに対して操作を行うことができる制御信号を実行する。

以下の説明では、ビット、バイト、ワード、およびダブルワード・サブフィールドについて言及する。たとえば、(基数2で示す) バイト00111010₂のビット6ないしビット0はサブフィールド111010₂を表す。

第4b図ないし第4d図に、本発明の一実施例で使用するレジスタ内表現を示す。たとえば、無符号バイトのレジスタ内表現410によって、整数レジスタ201内のレジスタに格納されているデータを表すことができる。一実施例では、整数レジスタ201内のレジスタ長は64ビットである。他の実施例では、整数レジスタ201内のレジスタ長は32ビットである。説明を簡単にするために、以下の説明では64ビットの整数レジスタについて説明するが、32ビットの整数レジスタを使用することもできる。

無符号バイトのレジスタ内表現410は、プロセッサ109が整数レジスタ2

01にバイト401を格納し、そのレジスタ内のビット7ないしビット0の先頭8ビットがそのデータ・バイト401専用であることを示している。これらのビットを $\{b\}$ と示す。このバイトを正しく表すには、残りの56ビットがゼロでなければならない。符号付きバイトのレジスタ内表現411の場合、整数レジスタ201にはデータはビット6ないしビット0の先頭7ビットにデータとして格納される。7番目のビットは符号ビットを表し、 $\{s\}$ で示す。残りのビット63ないしビット8はそのバイトの符号の継続である。

無符号ワードのレジスタ内表現412は、レジスタ201のうちの1つのレジスタに格納される。ビット15ないしビット0には、無符号ワード402が入られる。これらのビットを $\{w\}$ で示す。このワードを正しく表すには、残りのビット63ないしビット16はゼロでなければならない。符号付きワード402は、符号付きワードのレジスタ内表現413が示すように、ビット14ないしビット0に格納される。残りのビット63ないしビット15は符号フィールドである。

ダブルワード403は、無符号ダブルワードのレジスタ内表現414または符号付きダブルワードのレジスタ内表現415として格納することができる。無符号ダブルワードのレジスタ内表現414のビット31ないしビット0がデータである。これらのビットを $\{d\}$ で示す。この無符号ダブルワードを正しく表すには、残りのビット63ないしビット32はゼロでなければならない。整数レジスタ201には、符号付きダブルワードのレジスタ内表現415が、そのビット30ないしビット0に格納される。残りのビット63ないしビット31は符号フィールドである。

前述の第4b図ないし第4d図に示すように、データ・タイプによっては64ビット幅のレジスタに格納するのは非効率的な格納方法である。たとえば、無符号バイトのレジスタ内表現410を格納する場合、ビット63ないしビット8はゼロでなければならず、ビット7ないしビット0にしか非ゼロ・ビットを入れることができない。したがって、64ビット・レジスタに1バイトを格納するプロセッサは、レジスタの容量の12.5%しか使用しない。同様に、機能ユニット203によって実行される命令は先頭の数ビットしか重要ではない。

第5 a 図に、バックされたデータすなわちバックドデータのデータ形式を示す。各バックドデータは複数の独立したデータ要素を含む。バックドバイト（バックされたバイト）5 0 1、バックドワード（バックされたワード）5 0 2、バックドダブルワード（バックされたダブルワード）5 0 3の3つのバックドデータ形式が図示されている。バックドバイトは、本発明の一実施例では64ビット長であり、8個のデータ要素を含む。各データ要素は1バイト長である。一般に、データ要素は1つのレジスタ（または記憶場所）に同じ長さの他のデータ要素と共に格納される個々のデータである。本発明の一実施例では、1つのレジスタに格納されるデータ要素の数は、64ビットをデータ要素のビット長で割った商である。

バックドワード5 0 2は64ビット長であり、4個のワード4 0 2データ要素を含む。各ワード4 0 2データ要素は、16ビットの情報を含む。

バックドダブルワード5 0 3は64ビット長であり、2個のダブルワード4 0 3データ要素を含む。各ダブルワード4 0 3データ要素は32ビットの情報を含む。

第5 b 図ないし第5 d 図にレジスタ内バックドデータ記憶表現を示す。無符号バックドバイトのレジスタ内表現5 1 0は、レジスタR₀2 1 2 a～R_n2 1 2 a fのうちの1つにバックドバイト5 0 1が格納されている様子を示している。各バイト・データ要素の情報は、バイト0はビット7ないしビット0に格納され、バイト1はビット15ないしビット8、バイト2はビット23ないしビット16、バイト3はビット31ないしビット24、バイト4はビット39ないしビット32、バイト5はビット47ないしビット40、バイト6はビット55ないしビット48、バイト7はビット63ないしビット56に格納される。したがって、レジスタ内ですべての使用可能ビットが使用される。この記憶構成によって、プロセッサの記憶効率が向上する。また、8個のデータ要素にアクセスして、1つの操作を8個のデータ要素に同時に実行することができるようになる。符号付きバックドバイトのレジスタ内表現5 1 1も同様にレジスタ2 0 9内のレジスタに格納される。どのバイト・データ要素でも8番目のビットのみが必要な符号ビットであり、他のビットは使用してもしなくても符号が示されることに留意された

い。

無符号バックワードのレジスタ内表現512は、ワード3ないしワード0がレジスタ209のうちの1つのレジスタに格納される様子を示している。ビット15ないしビット0にはワード0のデータ要素情報が入り、ビット31ないしビット16にはデータ要素ワード1の情報が入り、ビット47ないしビット32にはデータ要素ワード2の情報が入り、ビット63ないしビット48にはデータ要素ワード3の情報が入る。符号付きバックワードのレジスタ内表現513は無符号バックワードのレジスタ内表現512と同様である。各ワード・データ要素の16番目のビットにのみ、必要な符号インジケータが入ることに留意されたい。

無符号バックダブルワードのレジスタ内表現514は、レジスタ209に2個のダブルワード・データ要素が格納される様子を示している。ダブルワード0はレジスタのビット31ないしビット0に格納される。ダブルワード1はレジスタのビット63ないしビット32に格納される。符号付きバックダブルワードのレジスタ内表現515は無符号バックダブルワードのレジスタ内表現514と同様である。必要な符号ビットはダブルワード・データ要素の32番目のビットであることに留意されたい。

前述のように、レジスタ209はバックデータと整数データの両方に使用することができる。本発明のこの実施例では、アドレス指定されたレジスタ、たとえばR1212aにバックデータと単純整数／固定小数点データのどちらが格納されているかを追跡するために、個々のプログラミング・プロセッサ109が必要である。他の実施例では、プロセッサ109はレジスタ209の個々のレジスタに格納されているデータのタイプを追跡することができる。この代替実施例では、たとえば単純／固定小数点整数データに対してバック加算を行おうとした場合、エラーを生成することができる。

制御信号の形式

以下に、プロセッサ109がバックデータを操作するために使用する制御信号形式の一実施例について説明する。本発明の一実施例では、制御信号は32ビ

ットで表される。デコーダ202はバス101から制御信号207を受け取るこ

とができる。他の実施例では、デコーダ202はキャッシュ206からもそのような制御信号を受け取ることができる。

第6a図にバックドデータを操作する制御信号の一般的な形式を示す。命令フィールドOP601(ビット31ないしビット26)は、たとえば、バック加算、バック減算など、プロセッサ109によって実行される演算に関する情報を与える。SRC1602(ビット25ないしビット20)は、レジスタ209内のレジスタのソース・レジスタ・アドレスを供給する。このソース・レジスタは、制御信号の実行で使用される第1のバックドデータSource1を保持する。同様に、SRC2603(ビット19ないしビット14)には、レジスタ209内のレジスタのアドレスが入れられる。この第2のソース・レジスタは、演算の実行時に使用されるバックドデータSource2を保持する。DEST605(ビット5ないしビット0)にはレジスタ209内のレジスタのアドレスが入れられる。この宛先レジスタには、バックドデータ演算の結果バックドデータResultが格納される。

制御ビットSZ610(ビット12およびビット13)は、第1および第2のバックドデータ・ソース・レジスタ内のデータ要素の長さを示す。SZ610が01₂に等しい場合、バックドデータはバックドバイト501としてフォーマットされる。SZ610が10₂に等しい場合、バックドデータはバックドワード502としてフォーマットされる。しかし、00₂または11₂と等しいSZ610を受け取った場合、他の実施例では、これらの値のうちの1つを使用してバックドダブルワード503を示すことができる。

制御ビットT611(ビット11)は、演算を飽和モードで行うかどうかを示す。T611が1の場合、飽和演算が行われる。T611がゼロの場合、非飽和演算が行われる。飽和演算については後述する。

制御ビットS612(ビット10)は、符号付き演算の使用を示す。S612が1の場合、符号付き演算が行われる。S612がゼロの場合、無符号演算が行われる。

第6b図に、バックドデータを操作する制御信号の第2の一般的形式を示す。
この形式は、米国イリノイ州マウント・プロスペクトP. O. Box 7641イ

ンテル・コーポレーションのLiterature Salesから入手可能な
"Pentium™ Processor Family User's Manual"に記載されている汎用整数命令コード形式に対応する。OP601、
SZ610、T611、およびS612がすべて組み合わされて1つの大きなフ
ィールドになることに留意されたい。制御信号によっては、ビット3ないし5が
SRC1 602となる。一実施例では、SRC1 602アドレスがある場合
、ビット3ないし5はDEST605にも対応する。SRC2 603アドレス
が存在する代替実施例ではビット0ないし2もDEST605に対応する。バック
ドシフト即値演算のような他の制御信号の場合、ビット3ないし5は命令コー
ド・フィールドの拡張部を表す。一実施例では、この拡張部によってプログラマ
はシフト・カウント値などの即値を制御信号と共に組み込むことができる。一実
施例では、即値は制御信号の後に続く。これについては"Pentium™ P
rocessor Family User's Manual"の付録FのF
-1～F-3ページに詳述されている。ビット0ないし2はSRC2 603を
表す。この汎用形式によって、レジスタからレジスタ、メモリからレジスタ、メ
モリによるレジスタ、レジスタによるレジスタ、即値によるレジスタ、レジスタ
からメモリのアドレス指定を行うことができる。また、一実施例では、この汎用
形式は整数レジスタからレジスタと、レジスタから整数レジスタへのアドレス指
定もサポートする。

飽和／非飽和の説明

前述のように、T611は演算が任意選択で飽和するかどうかを示す。飽和を
可能にした演算の結果がデータの範囲からオーバーフローまたはアンダーフロ
ーする場合、その結果はクランプされる。クランプとは、結果がその範囲の最大値
または最小値を超える場合、その結果を最大値または最小値に設定することを意
味する。アンダーフローの場合、飽和によって結果がその範囲内の最低値にクラ
ンプされ、オーバーフローの場合は最高値にクランプされる。各データ形式の許

容範囲を表1に示す。

表1

データ形式	最小値	最大値
無符号バイト	0	255
符号付きバイト	-128	127
無符号ワード	0	65535
符号付きワード	-32768	32767
無符号ダブルワード	0	$2^{64} - 1$
符号付きダブルワード	-2^{63}	$2^{63} - 1$

前述のように、T611は飽和演算を行うかどうかを示す。したがって、無符号バイト・データ形式を使用し、演算結果=258で、飽和を使用可能にしていた場合、結果は演算の宛先レジスタに格納される前に255にクランプされることになる。同様に、演算結果=-32999で、プロセッサ109が飽和を使用可能にして符号付きデータ形式を使用した場合、結果は演算の宛先レジスタに格納される前に-32768にクランプされることになる。

データ操作演算

本発明の一実施例では、標準CISC命令セット（アンパッキングデータ演算）をサポートするだけでなくパックドデータのシフト演算もサポートすることによって、マルチメディア・アプリケーションのパフォーマンスを向上させる。このようなパックドデータ演算には、加算、減算、乗算、比較、シフト、AND、およびXORを含めることができる。しかし、これらの演算を十分に利用するためには、データ操作演算を組み込む必要があると判断されている。このようなデータ操作演算には、移動、バック、アンパックを含めることができる。移動、バック、およびアンパックは、プログラマにとってより使いやすい形式のパックドデ

ータを生成することによって他の演算の実行を容易にする。

他のパック演算の詳細な背景については、年 月 日出願の特許出願第 号“A Microprocessor Having a Compare Operation”、年 月 日出願の特許出願第 号“A Microprocessor Having a Multiply Operation”、年 月 日出願の特許出願第 号“A Novel Processor Having Shift Operations”、1993年12月30日出願の特許出願第08/176123号“A Method and Apparatus Using Packed Data in a Processor”、および1993年12月30日出願の特許出願第08/175772号“A Method and Apparatus Using Novel Operations in a Processor”を参照されたい。これらはすべて本発明の譲渡人に譲渡される。

移動演算

移動演算は、レジスタ209との間でデータを送受信する。一実施例では、SRC2 603がソース・データを含むアドレスであり、DEST605がデータの送り先のアドレスである。この実施例では、SRC1 602は使用しない。他の実施例では、SRC1 602はDEST605である。

移動演算の説明のために、レジスタと記憶場所との区別を設ける。レジスタはレジスタ・ファイル204内にあり、記憶場所はたとえばキャッシュ206、メイン・メモリ104、ROM106、データ記憶装置107内とすることができる。

移動演算によって、データを記憶場所からレジスタ209、レジスタ209から記憶場所、レジスタ209内のレジスタからレジスタ209内の第2のレジスタに移動することができる。一実施例では、バックドデータは整数データを記憶するために使用されるレジスタとは異なるレジスタに格納される。この実施例では、移動演算によって整数レジスタ201からレジスタ209にデータを移動す

ることができる。たとえば、プロセッサ109において、レジスタ209にバックドデータが格納され、整数レジスタ201に整数データが格納されている場合、移動命令を使用して整数レジスタ201からレジスタ209にデータを移動したり、その逆を行ったりすることができる。

一実施例では、移動のためにメモリ・アドレスを示すと、記憶場所（最下位バイトを示す記憶場所）にある8バイトのデータがレジスタ209内のレジスタにロードされるかまたはそのレジスタから格納される。レジスタ209内のレジスタが示された場合、そのレジスタの内容がレジスタ209内の第2のレジスタに移動されるかまたはそこからロードされる。整数レジスタ201が64ビット長であって、整数レジスタを指定した場合、そのレジスタ内の8バイトのデータがレジスタ209内のレジスタにロードされるかまたはそのレジスタから格納される。

一実施例では、整数は32ビットで表される。レジスタ209から整数レジスタ201への移動演算を行う場合、バックドデータの下位32ビットだけが指定された整数レジスタに移動される。一実施例では、上位32ビットはゼロにされる。同様に、整数レジスタ201からレジスタ209への移動を実行すると、レジスタ209内のレジスタの下位32ビットだけがロードされる。一実施例では、プロセッサ109はレジスタ209内のレジスタとメモリとの間の32ビットの移動演算をサポートする。他の実施例では、バックドデータの上位32ビットに対して32ビットのみの移動が行われる。

バック演算

本発明の一実施例では、SRC1 602レジスタにデータ（Source1）が入れられ、SRC2 603レジスタにデータ（Source2）が入れられ、DEST605レジスタには演算の結果データ（Result）が入れられる。すなわち、Source1の部分とSource2の部分が一緒にバックされて結果が生成される。

一実施例では、バック演算は、ソース・バックワード（またはダブルワード）の下位バイト（またはワード）をResultのバイト（またはワード）にバック

クすることによって、バックワード（またはダブルワード）がバックドバイト（またはワード）に変換する。一実施例では、バック演算によって、クワード・バックワードがバックドダブルワードに変換される。この演算は、任意選択により符号付きデータを使用して行うことができる。さらにこの演算は、任意選択により飽和を使用して行うことができる。

第7図に、バックドデータに対してバック演算を行う方法の一実施例を示す。この実施例は、第2図のプロセッサ109で実施することができる。

ステップ701で、プロセッサ109が受け取った制御信号207をデコーダ202がデコードする。したがって、デコーダ202は、適切なシフト演算の命令コードと、レジスタ209内のSRC1 602、SRC2 603、およびDEST605アドレスと、飽和／非飽和と、符号付き／無符号と、バックドデータ内のデータ要素の長さとをデコードする。前述のように、SRC1 602（またはSRC2 603）をDEST605として使用することができる。

ステップ702で、SRC1 602アドレスとSRC2 603アドレスが与えられた場合、内部バス205を介してデコーダ202がレジスタ・ファイル204内のレジスタ209にアクセスする。レジスタ209は機能ユニット203にSRC1 602レジスタに格納されているバックドデータ（Source 1）と、SRC2 603レジスタに格納されているバックドデータ（Source 2）を供給する。すなわち、レジスタ209は、バックドデータを内部バス205を介して機能ユニット203に伝達する。

ステップ703で、デコーダ202は機能ユニット203が適切なバック演算を実行することができるようにする。デコーダ202は、さらに、内部バス205を介して飽和とSource 1内およびSource 2内のデータ要素のサイズも伝達する。任意選択で飽和を使用して、結果データ要素内のデータの値を最大化する。Source 1またはSource 2内のデータ要素の値が、Resultのデータ要素が表すことができる値の範囲より大きいかまたは小さい場合、それに対応する結果データ要素がその最高値または最低値に設定される。たとえば、Source 1およびSource 2のワード・データ要素内の符号付き値が 0×80 （またはダブルワードの場合は 0×8000 ）よりも小さい場合、

結

果のバイト（またはワード）データ要素が 0×80 （またはダブルワードの場合は 0×8000 ）にクランプされる。Source1およびSource2のワード・データ要素内の符号付き値が $0 \times 7F$ （またはダブルワードの場合は $0 \times 7FFF$ ）よりも大きい場合は、結果のバイト（またはワード）データ要素が $0 \times 7F$ （または $0 \times 7FFF$ ）にクランプされる。

ステップ710で、データ要素のサイズによって次にどのステップを実行するかが決まる。データ要素のサイズが16ビット（パックドワード502データ）の場合、機能ユニット203はステップ712を実行する。しかしパックドデータ内のデータ要素のサイズが32ビット（パックドダブルワード503データ）の場合、機能ユニット203はステップ714を実行する。

ソース・データ要素のサイズが16ビットであると仮定すると、ステップ712が実行される。ステップ712では、以下のように行う。Source1のビット7～0はResultのビット7～0である。Source1のビット23～16はResultのビット15～8である。Source1のビット39～32はResultのビット23～16である。Source1のビット63～56はResultのビット31～24である。Source2のビット7～0はResultのビット39～32である。Source2のビット23～16はResultのビット47～40である。Source2のビット39～32はResultのビット55～48である。Source2のビット63～56はResultのビット31～24である。飽和を設定した場合は、Resultデータ要素をクランプすべきかどうかを判断するために各ワードの上位ビットが検査される。

ソース・データ要素のサイズが32ビットであると仮定すると、ステップ714が実行される。ステップ714では、以下のように行われる。Source1のビット15～0はResultのビット15～0である。Source1のビット47～32はResultのビット31～16である。Source2のビット15～0はResultのビット47～32である。Source2のビッ

ト47～32はResultのビット63～48である。飽和を設定した場合は、Resultデータ要素をクランプすべきかどうかを判断するために各ダブルワ

ードの上位ビットが検査される。

一実施例では、ステップ712のバック演算が同時に行われる。しかし、他の実施例では、このバック演算は順次に行われる。他の実施例では、このバック演算の一部が同時に行われ、一部は順次に行われる。これは、ステップ714のバック演算にも適用される。

ステップ720で、ResultがDEST605レジスタに格納される。

表2に、飽和を使用しないバック無符号ワード演算のレジスタ内表現を示す。最初の行のビットはSource1のバックドデータ表現である。2番目の行のビットはSource2のデータ表現である。3番目の行のビットはResultのバックドデータ表現である。各データ要素ビットの下に数字はデータ要素番号である。たとえば、Source1データ要素3は10000000である。

表 2

Source1							
00101010	01010101	01010101	11111111	10000000	01110000	10001111	10001000
	3		2		1		0

Source2							
00000000	00000000	11000000	00000000	11110011	00000000	10001110	10001000
	3		2		1		0

Result							
00000000	00000000	00000000	10001000	01010101	11111111	01110000	10001000
7	6	5	4	3	2	1	0

表3に、飽和を使用したバック符号ダブルワード演算のレジスタ内表現を示す。

表 3

Source1							
00101010	01010101	01010101	11111111	10000000	01110000	10001111	10001000
				1			
							0
Source2							
00000000	00000000	11000000	00000000	11110011	00000000	10001110	10001000
				1			
							0
Result							
11000000	00000000	10000000	00000000	01111111	11111111	10000000	00000000
3		2		1		0	

バック回路

本発明の一実施例では、バック演算の効率的な実行を実現するために並列処理を使用する。第8a図および第8b図に、バックドデータに対するバック演算を行う回路の一実施例を示す。

第8a図および第8b図の回路は、演算制御回路800と、結果レジスタ852と、結果レジスタ853と、8個の16ビットから8ビットの飽和検査回路と、4個の32ビットから16ビットの飽和検査回路を備える。

演算制御回路800は、デコーダ202から情報を受け取ってバック演算を可能にする。演算制御回路800は飽和値を使用して各飽和検査回路の飽和検査を可能にする。ソース・バックドデータのサイズがワード・バックドデータ503の場合、演算制御回路800によって出力イネーブル831が設定される。これによって出力レジスタ852の出力がイネーブルにされる。ソース・バックドデータのサイズがダブルワード・バックドデータ504の場合、演算制御回路800によって出力イネーブル832が設定される。これによって、出力レジスタ853の出力がイネーブルにされる。

各飽和検査回路は飽和を選択的に検査することができる。飽和の検査を使用不能にした場合、各飽和検査回路はただ下位ビットを通過させて結果レジスタ内の

対応する位置に入れるだけである。飽和の検査を使用可能にした場合、各飽和検査回路は上位ビットを検査して結果をクランプすべきかどうかを判断する。

飽和検査回路810ないし817は16ビットの入力と8ビットの出力を有す

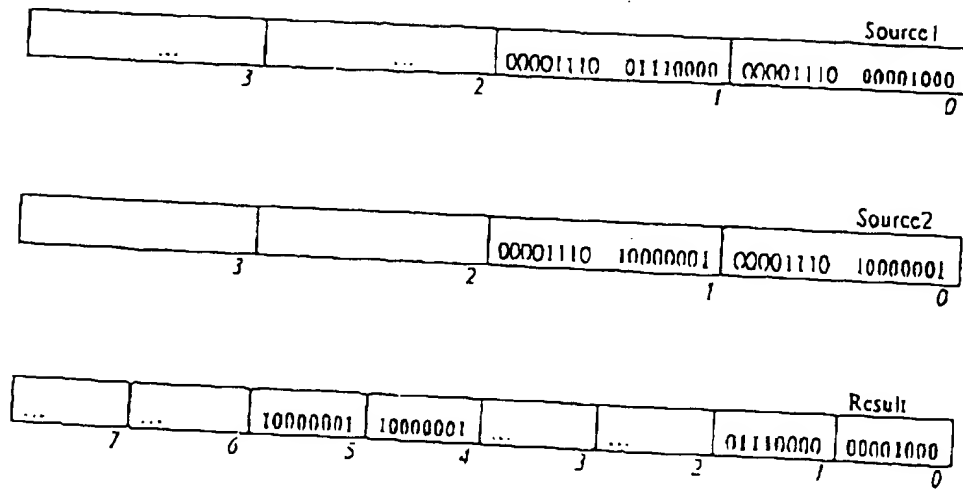
る。8ビットの出力は入力の下位8ビットか、または任意選択によりクランプ値(0×80、0×7F、または0×FF)である。飽和検査回路810は、Source1のビット15ないし0を受け取り、結果レジスタ852に対するビット7ないし0を出力する。飽和検査回路811は、Source1のビット31ないし16を受け取り、結果レジスタ852に対するビット15ないし8を出力する。飽和検査回路812は、Source1のビット47ないし32を受け取り、結果レジスタ852に対するビット23ないし16を出力する。飽和検査回路813は、Source1のビット63ないし48を受け取り、結果レジスタ852に対するビット31ないし24を出力する。飽和検査回路814は、Source2のビット15ないし0を受け取り、結果レジスタ852に対するビット39ないし32を出力する。飽和検査回路815は、Source2のビット31ないし16を受け取り、結果レジスタ852に対するビット47ないし40を出力する。飽和検査回路816は、Source2のビット47ないし32を受け取り、結果レジスタ852に対するビット55ないし48を出力する。飽和検査回路817は、Source2のビット63ないし48を受け取り、結果レジスタ852に対するビット63ないし56を出力する。

飽和検査回路820ないし飽和検査回路823は、32ビットの入力と16ビットの出力を有する。16ビットの出力は、入力の下位16ビットか、または任意選択によりクランプ値(0×8000、0×7FFF、または0×FFFF)である。飽和検査回路820は、Source1のビット31ないしゼロを受け取り、結果レジスタ853に対するビット15ないし0を出力する。飽和検査回路821はSource1のビット63ないし32を受け取り、結果レジスタ853に対するビット31ないし16を出力する。飽和検査回路822は、Source2のビット31ないし0を受け取り、結果レジスタ853に対するビット47ないし32を出力する。飽和検査回路823は、Source2のビット63ないし32を受け取り、結果レジスタ853に対するビット63ないし48を出力する。

たとえば、表4に飽和を使用しない無符号バックワードを示す。演算制御回

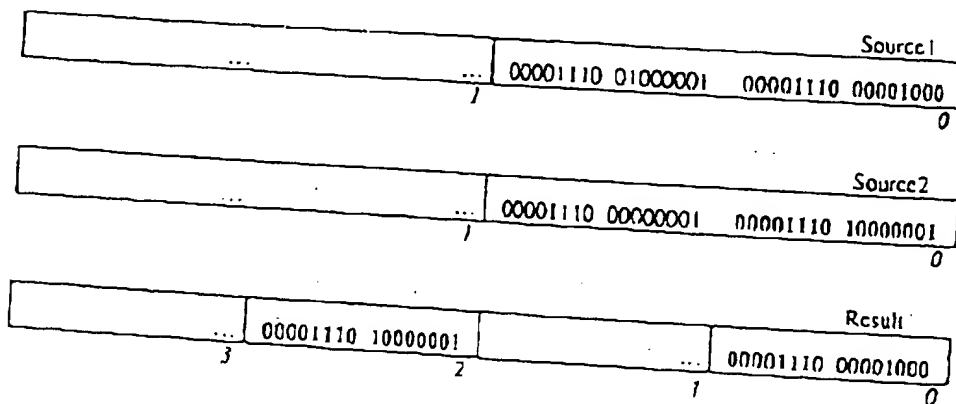
路800は、結果レジスタ852が結果[63:0]860を出力することができるようにする。

表4



しかし、飽和なしの無符号パックドダブルワード演算を行う場合、演算制御回路800は結果レジスタ853が結果[63:0]860を出力することができるようにする。表5にこの結果を示す。

表5



アンパック演算

一実施例では、アンパック演算によって、2つのソース・パックドデータの下位パックドバイト、ワード、またはダブルワードをインターリーブして、結果のパックドバイト、ワード、またはダブルワードを生成する。

第9図に、パックドデータに対するアンパック演算を行う方法の一実施例を示す。この実施例は、第2図のプロセッサ109において実施することができる。

先にステップ701およびステップ702が実行される。ステップ903で、デコーダ202がアンパック演算を行うように機能ユニット203を使用可能にする。デコーダ202は内部バス205を介してSource1およびSource2内のデータ要素のサイズを伝達する。

ステップ910で、このデータ要素のサイズによって次にどのステップを実行するかが決まる。データ要素のサイズが8ビット（バックドバイト501データ）の場合、機能ユニット203はステップ712を実行する。しかし、バックドデータ内のデータ要素のサイズが16ビット（バックドワード502データ）の場合、機能ユニット203はステップ714を実行する。しかし、バックドデータ内のデータ要素のサイズが32ビット（バックドダブルワード503データ）の場合、機能ユニット203はステップ716を実行する。

ソース・データ要素のサイズが8ビットであると仮定すると、ステップ712が実行される。ステップ712では以下のように行われる。Source1のビット7~0はResultのビット7~0である。Source2のビット7~0はResultのビット15~8である。Source1のビット15~8はResultのビット23~16である。Source2のビット15~8はResultのビット31~24である。Source1のビット23~16はResultのビット39~22である。Source2のビット23~16はResultのビット47~40である。Source1のビット31~24はResultのビット55~48である。Source2のビット31~24はResultのビット63~56である。

ソース・データ要素のサイズが16ビットであると仮定すると、ステップ714が実行される。ステップ714では以下のように行われる。Source1の

ビット15~0はResultのビット15~0である。Source2のビット15~0はResultのビット31~16である。Source1のビット31~16はResultのビット47~32である。Source2のビット31~16はResultのビット63~48である。

ソース・データ要素のサイズが32ビットであると仮定すると、ステップ71

6が実行される。ステップ716では以下のように行われる。Source1のビット31~0がResultのビット31~0である。Source2のビット31~0がResultのビット63~32である。

一実施例では、ステップ712のアンパック演算が同時に行われる。しかし、他の実施例では、このアンパック演算は順次に行われる。他の実施例では、このアンパック演算の一部が同時に行われ、一部は順次に行われる。これは、ステップ714および716のアンパック演算にも適用される。

ステップ720で、ResultがDEST605レジスタに格納される。

表6に、アンパック・バイト演算のレジスタ内表現を示す。

表6

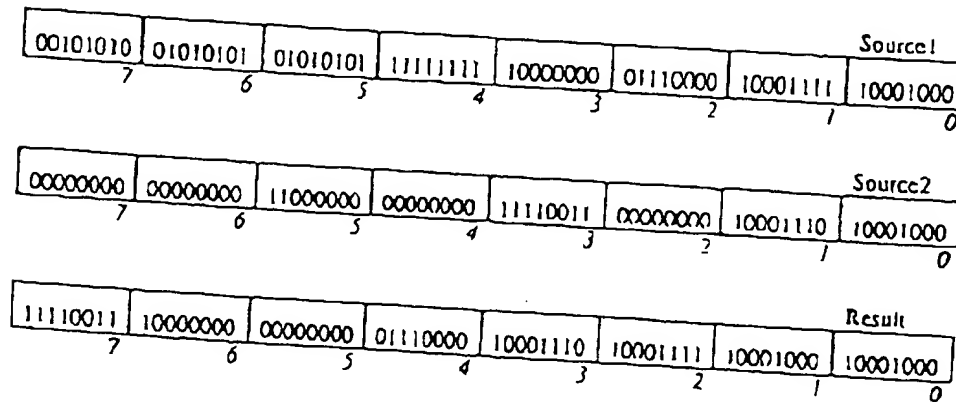


表7に、アンパック・ワード演算のレジスタ内表現を示す。

表7

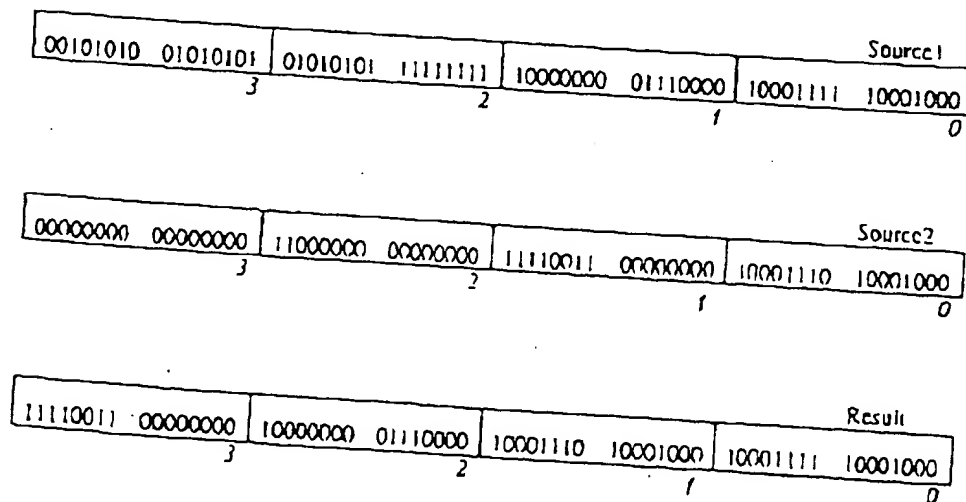


表8に、アンパック・ダブルワード演算のレジスタ内表現を示す。

表 8

00101010 01010101 01010101 11111111				Source1			
10000000 01110000 10001111 10001000							
				0			
00000000 00000000 11000000 00000000				Source2			
11110011 00000000 10001110 10001000							
				0			
11110011 00000000 10001110 10001000				Result			
10000000 01110000 10001111 10001000							
				0			

アンパック回路

本発明の一実施例では、アンパック演算の効率的な実行を実現するために並列処理を使用する。第10図に、パックドデータに対するアンパック演算を実行することができる回路の一実施例を示す。

第10図の回路は、演算制御回路800と結果レジスタ1052と結果レジス

タ1053と結果レジスタ1054とを備える。

演算制御回路800は、デコーダ202からアンパック演算をイネーブルにする情報を受け取る。ソース・パックドデータのサイズがバイト・パックドデータ502の場合、演算制御回路800によって出力イネーブル1032が設定される。これによって、結果レジスタ1052の出力がイネーブルにされる。ソース・パックドデータのサイズがワード・パックドデータ503の場合、演算制御回路800によって出力イネーブル1033が設定される。これによって出力レジスタ1053の出力がイネーブルにされる。ソース・パックドデータのサイズがダブルワード・パックドデータ504の場合、演算制御回路800によって出力イネーブル1034が設定される。これによって、出力結果レジスタ1054の出力がイネーブルにされる。

結果レジスタ1052は以下の入力を有する。Source1のビット7~0は結果レジスタ1052のビット7~0である。Source2のビット7~0は結果レジスタ1052のビット15~8である。Source1のビット15~8は結果レジスタ1052のビット23~16である。Source2のビッ

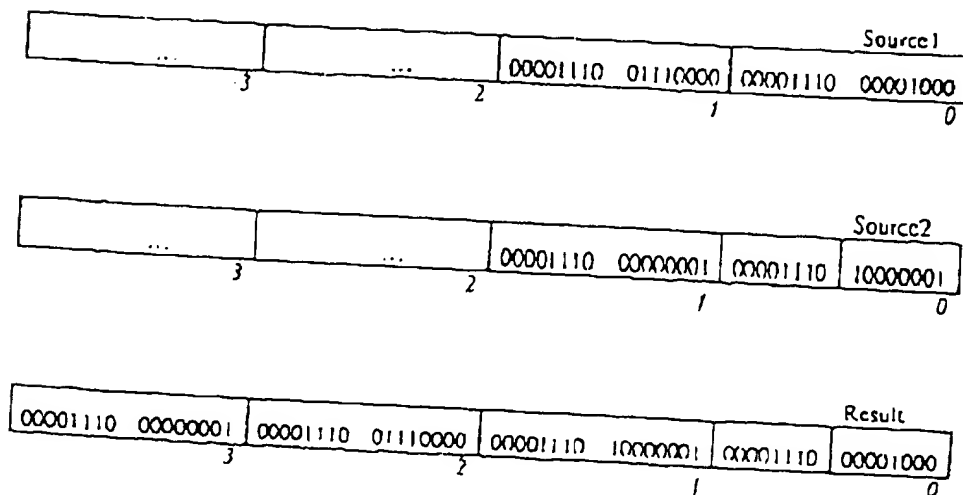
ビット15～8は結果レジスタ1052のビット31～24である。Source1のビット23～16は結果レジスタ1052のビット39～32である。Source2のビット23～16は結果レジスタ1052のビット47～40である。Source1のビット31～24は結果レジスタ1052の55～48である。Source2のビット31～24は結果レジスタ1052のビット63～56である。

結果レジスタ1053は以下の入力を有する。Source1のビット15～0は結果レジスタ1053の15～0である。Source2のビット15～0は結果レジスタ1053の31～16である。Source1のビット31～16は結果レジスタ1053のビット47～32である。Source2のビット31～16は結果レジスタ853のビット63～48である。

結果レジスタ1054は以下の入力を有する。Source1のビット31～0は結果レジスタ1054のビット31～0である。Source2のビット31～0は結果レジスタ1054のビット63～32である。

たとえば、表9ではアンパック・ワード演算が実行される。演算制御回路800は結果レジスタ1053が結果[63:0]860を出力することができるようにする。

表9



しかし、アンパック・ダブルワード演算を行う場合、演算制御回路800は結果

レジスタ1054が結果[63:0]860を出力することができるようにする。
表10にその結果を示す。

表10

		Source1	
...	00001110 01000001	00001110	00001000
			0
		Source2	
...	00001110 00000001	00001110	10000001
			0
		Result	
00001110 00000001	00001110 10000001	00001110 01000001	00001110 00001000
			0

したがって、移動演算、バック演算、およびアンバック演算によってマルチメディア・データ要素を操作することができる。従来技術のプロセッサでは、これらのタイプの操作を行うために、単一のバック移動演算、バック演算、またはアンバック演算を行うために複数の別々の演算を実行する必要がある。一実施例では、バックドデータ演算のためのデータ線はすべて関係のあるデータを伝送する。これによって、コンピュータ・システムのパフォーマンスが向上する。

【図1】

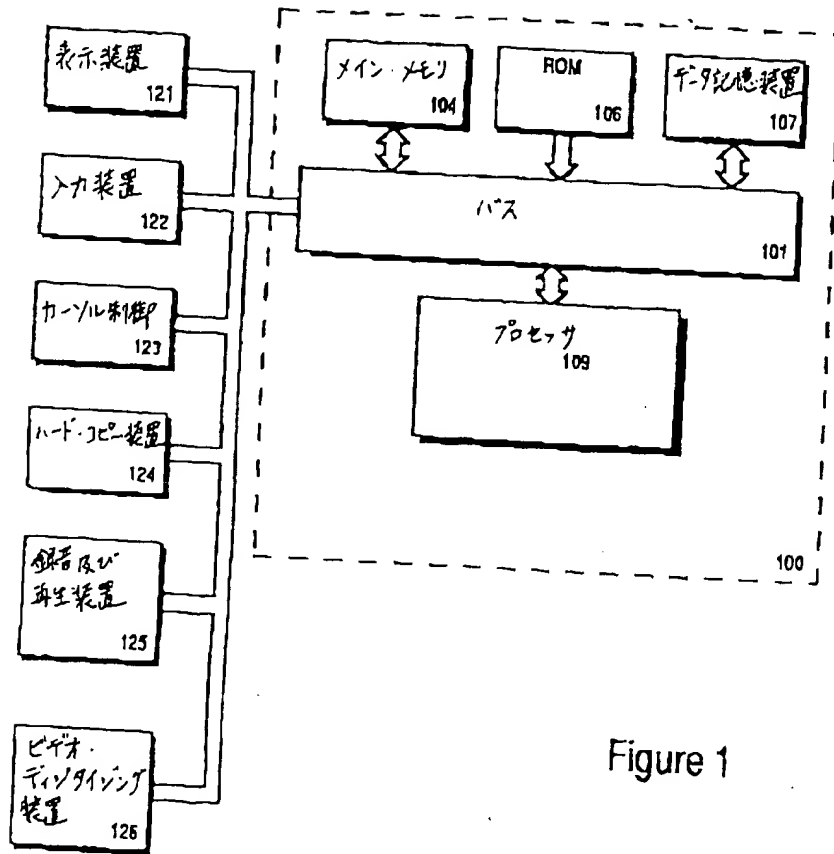


Figure 1

【図2】

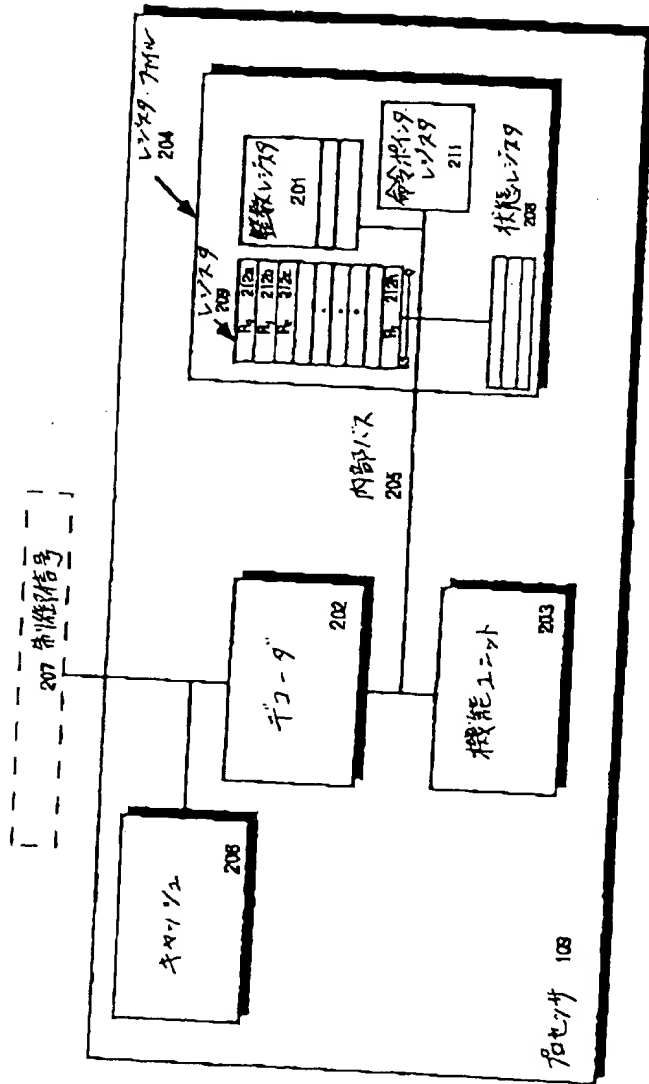


Figure 2

【図3】

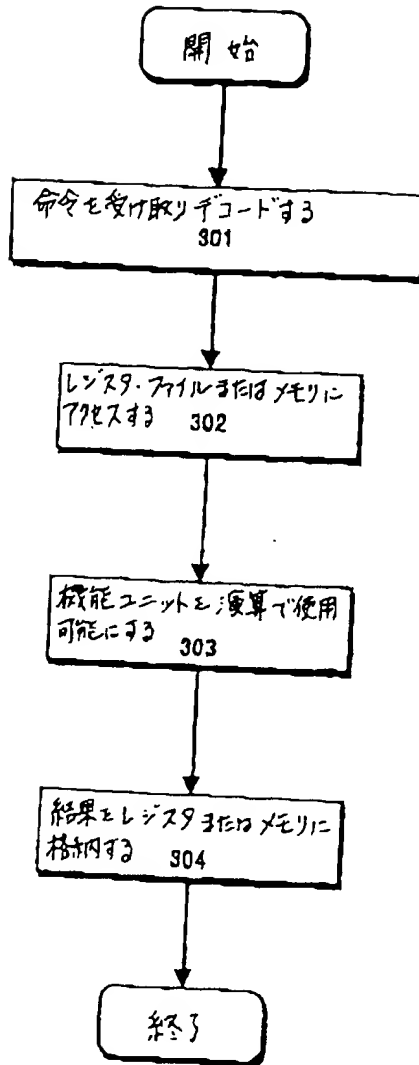


Figure 3

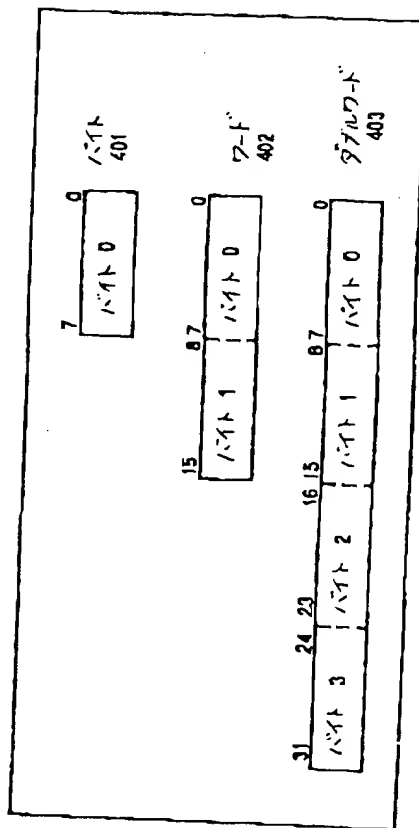


Figure 4a

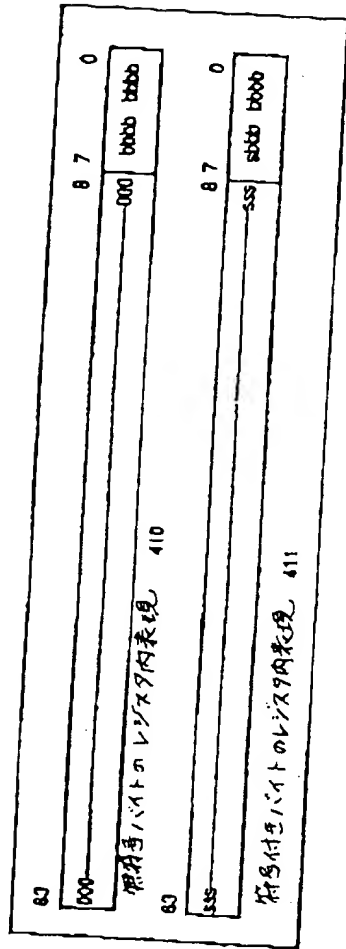


Figure 4b

【图 4】

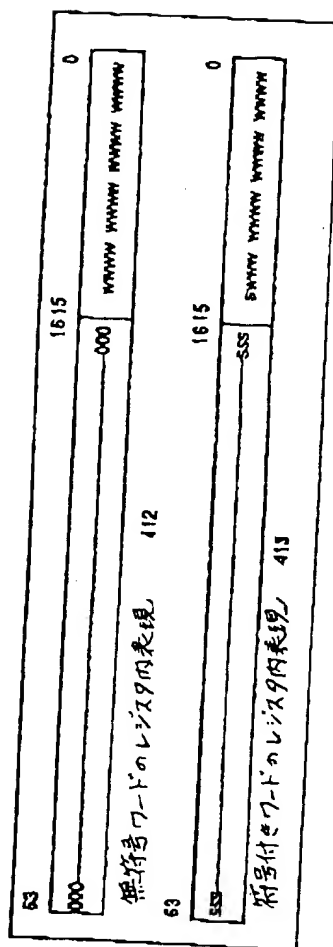


Figure 4c

【図4】

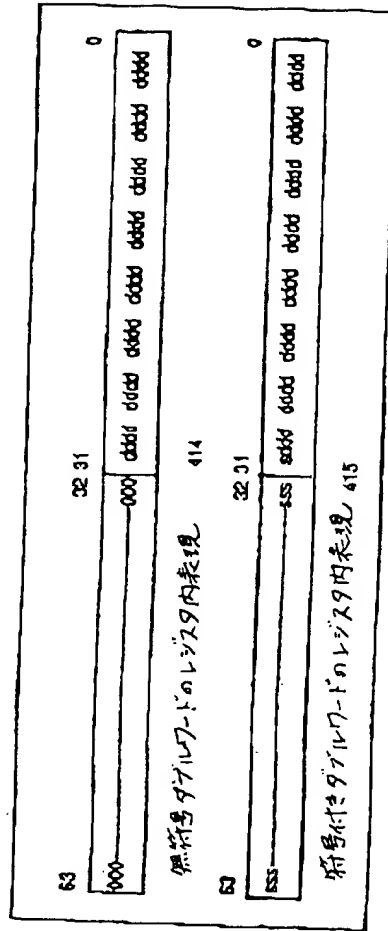


Figure 4d

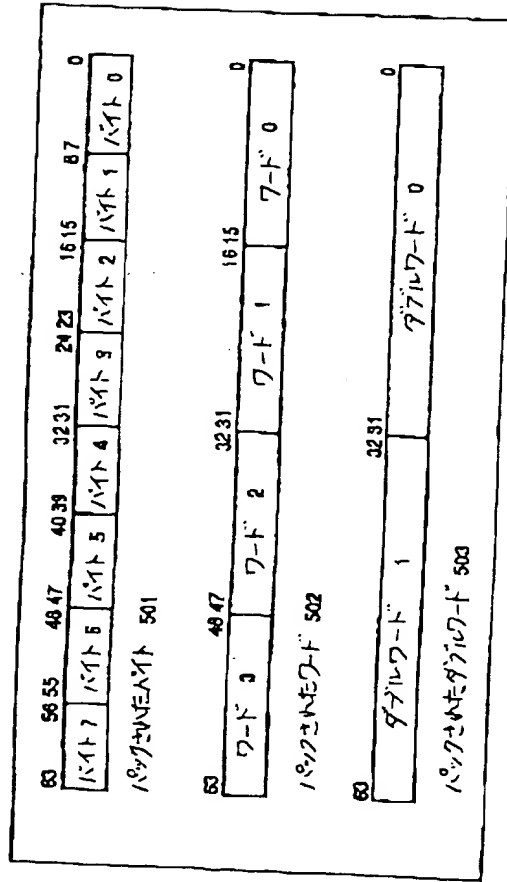


Figure 5a

63	55 54	47 46	39 38	31 30	30 22	15 14	7 6	0
bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb
無符号の1バイトのレジスタ内表現 510								
63	55 54	47 46	39 38	31 30	30 22	15 14	7 6	0
bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb	bbbb bbbb
符号付きの1バイトのレジスタ内表現 511								

Figure 5b

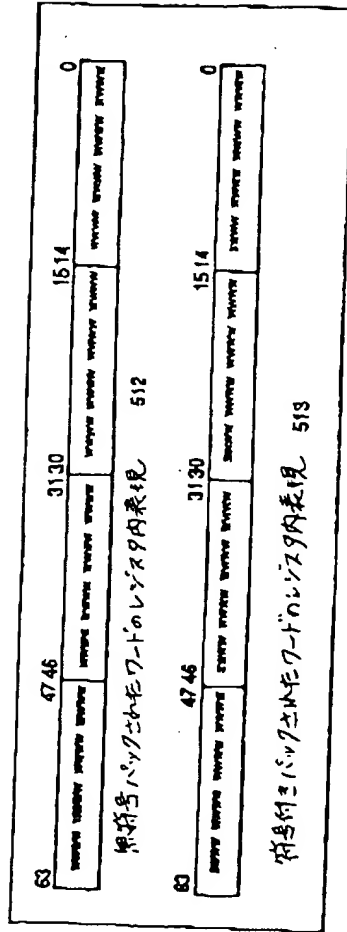


Figure 5c

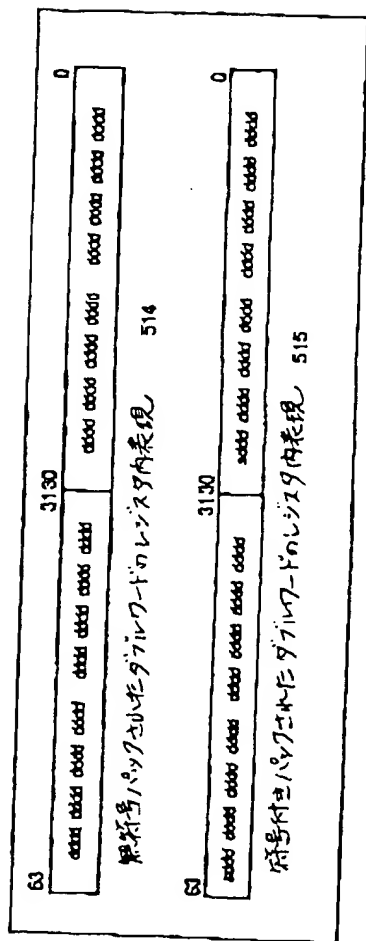


Figure 5d

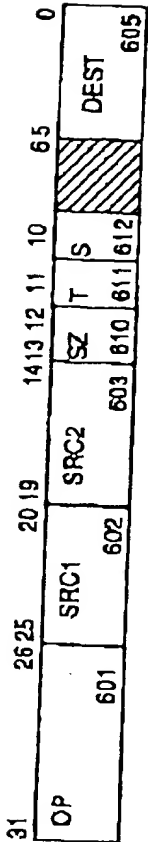


Figure 6a

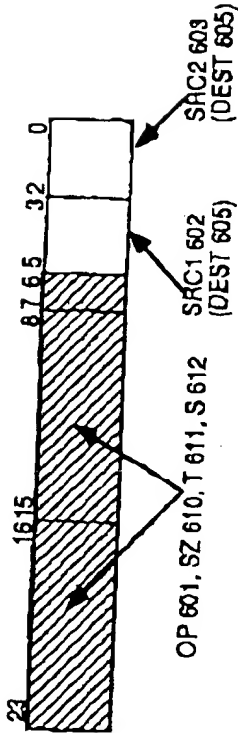


Figure 6b

【図7】

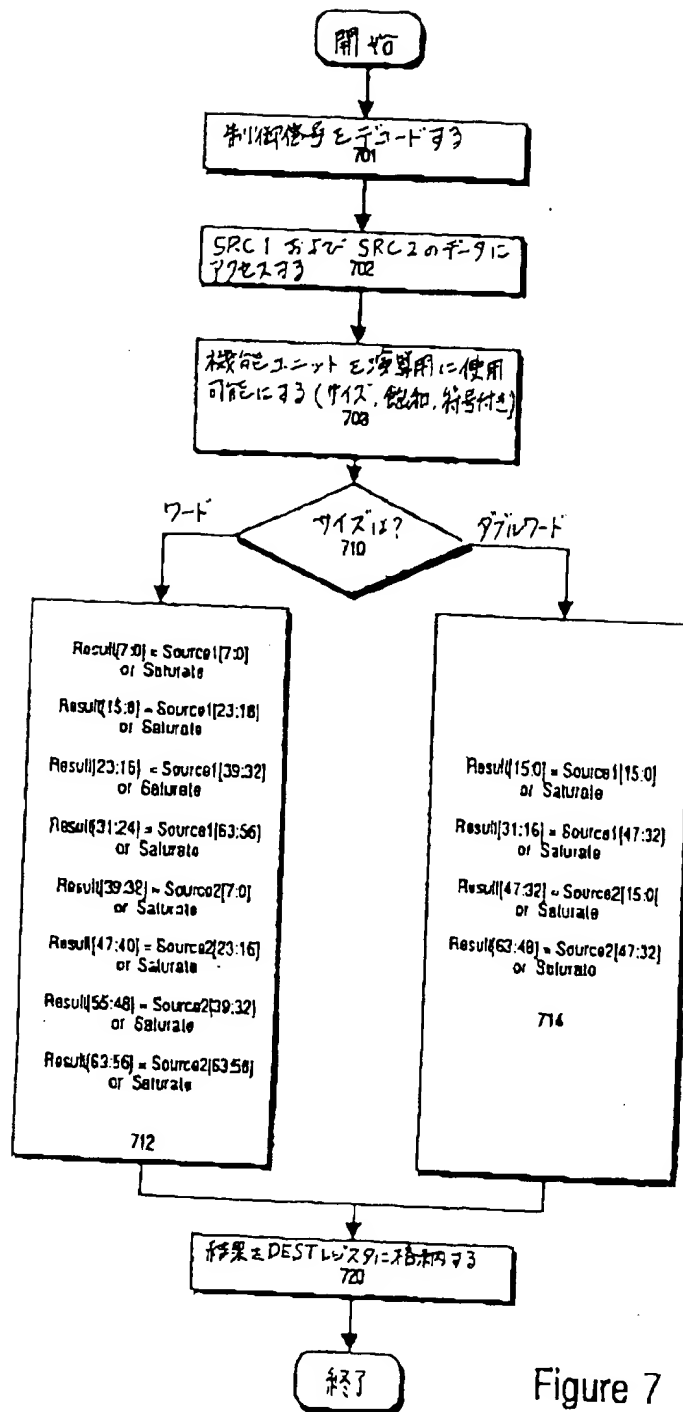


Figure 7

【図 8】

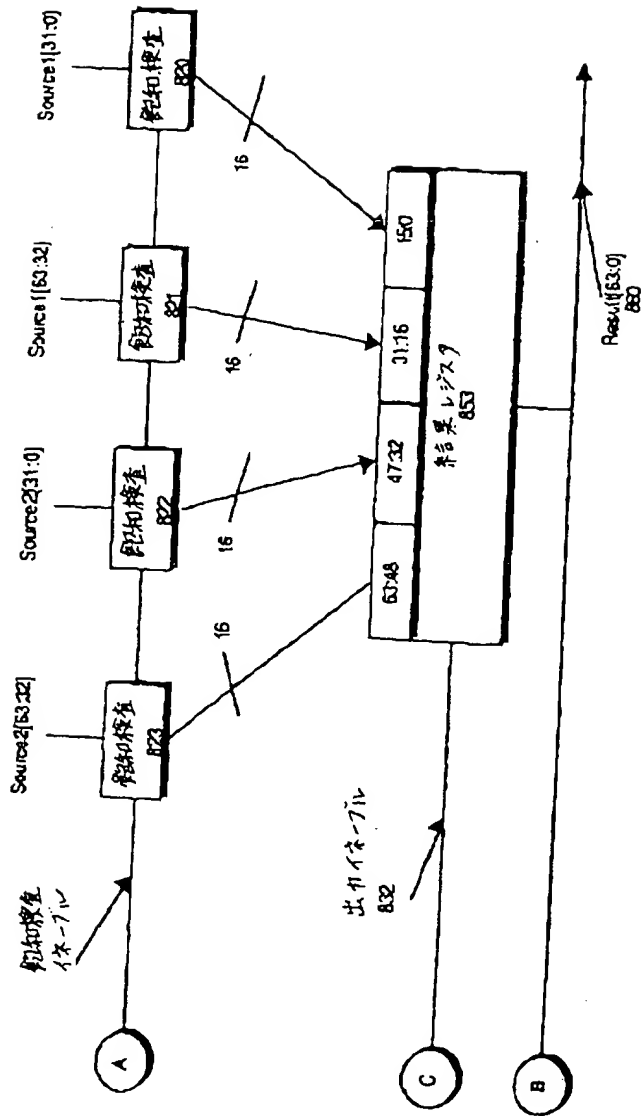


Figure 8b

【図9】

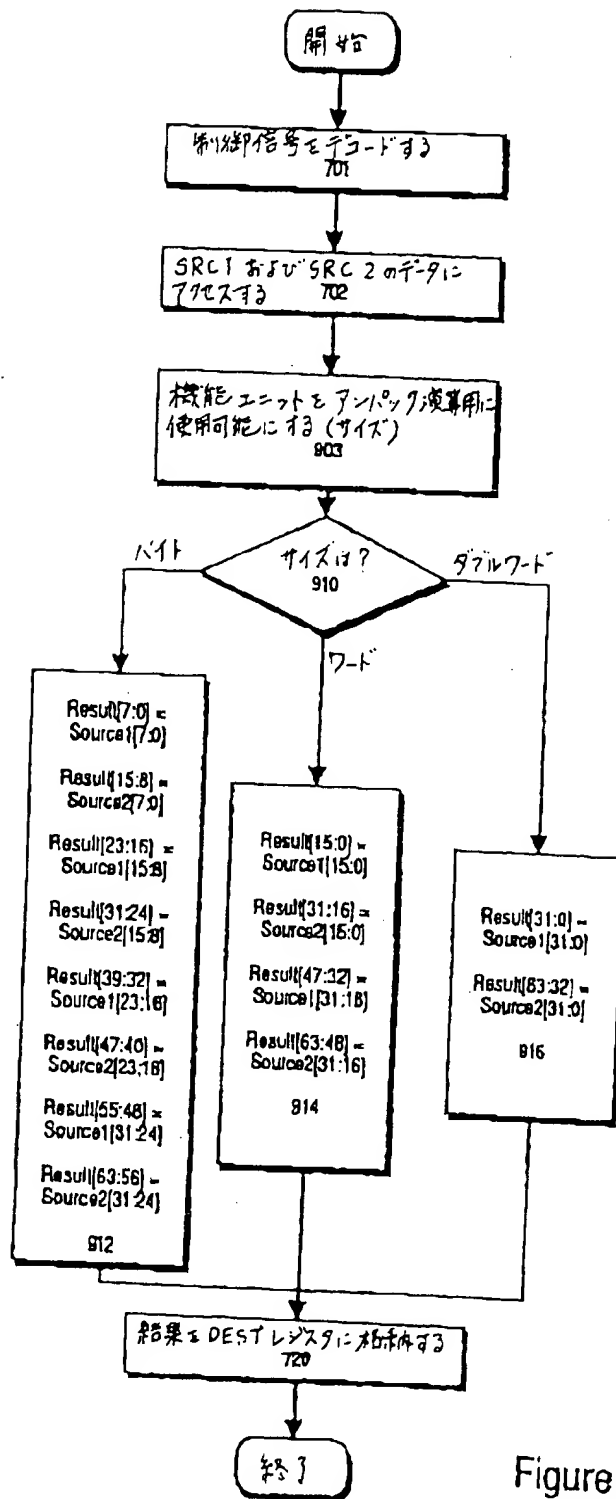


Figure 9

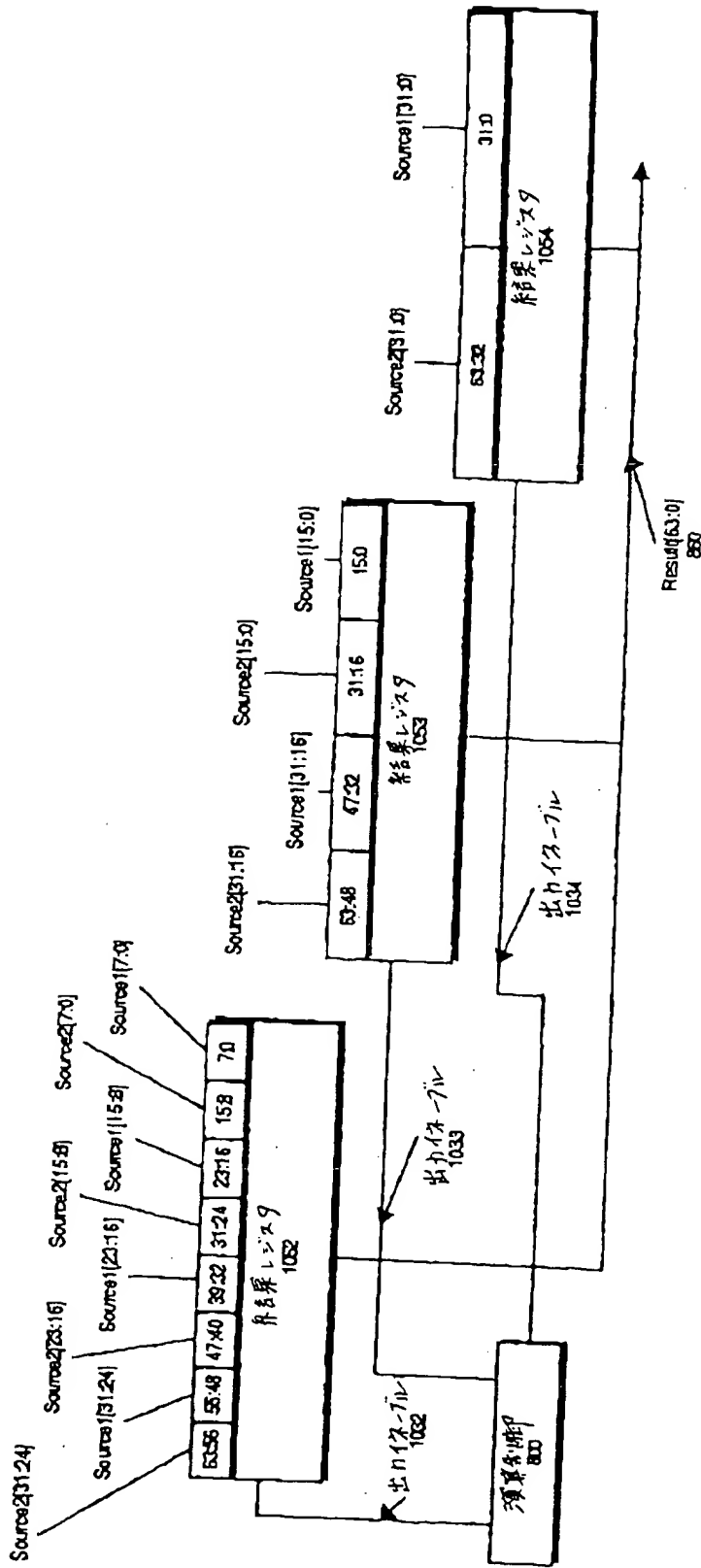


Figure 10

【手続補正書】特許法第184条の8第1項

【提出日】1996年9月24日

【補正内容】

補正請求の範囲

1. 第1の複数のデータ要素および第2の複数のデータ要素をそれぞれ含む第1のバックドデータおよび第2のバックドデータにして、前記第1の複数のデータ要素内の各データ要素が前記第2の複数のデータ要素内の異なるデータ要素に対応している、第1のバックドデータと第2のバックドデータを保持するよう構成された記憶域と、

アンバック命令をデコードするように構成されたデコーダと、

前記記憶域と前記デコーダとに結合され、アンバック命令に応答して、前記第1および第2の複数のデータ要素から選択された対応するデータ要素を第3のバックドデータ内の第3の複数のデータ要素として前記第1の記憶域に同時にコピーするように構成された回路と

を備えるプロセッサ。

2. 前記第1の複数のデータ要素からコピーされるデータ要素と前記第2の複数のデータ要素からコピーされるデータ要素が前記第3の複数のデータ要素として前記記憶域にインタリーブされることを特徴とする、請求項1に記載のプロセッサ。

3. 前記回路が前記第1および第2の複数のデータ要素内のデータ要素の半分を同時にコピーするように構成された、請求項2に記載のプロセッサ。

4. 前記第1の複数のデータ要素および前記第2の複数のデータ要素がそれぞれ2個、4個、または8個のデータ要素を含むことを特徴とする、請求項1に記載のプロセッサ。

5. コピーされて前記第3の複数のデータ要素を生成する前記第1の複数のデータ要素のそれぞれのデータ要素が、前記第1の複数のデータ要素が前記第1のバックドデータ内で現れる順序と同じ順序で格納されることを特徴とする、請求項2に記載のプロセッサ。

6. 第1の複数のデータ要素および第2の複数のデータ要素をそれぞれ含む第

1のバックドデータおよび第2のバックドデータにして、前記第1の複数のデータ要素内の各データ要素が前記第2の複数のデータ要素内の異なるデータ要素に

対応している、第1のバックドデータと第2のバックドデータを保持するよう構成された記憶域と、

バック命令をデコードするように構成されたデコーダと、

前記記憶域と前記デコーダとに結合されバック命令に応答して、前記第1および第2の複数のデータ要素内の各データ要素の一部を第3のバックドデータ内の第3の複数のデータ要素として前記記憶域に同時にコピーするように構成された回路と

を備えるプロセッサ。

7. 前記一部が前記第1および第2の複数のデータ要素内の各データ要素内のビットの半分であることを特徴とする、請求項6に記載のプロセッサ。

8. 前記一部が前記第1および第2の複数のデータ要素内の各データ要素の下位ビットまたは上位ビットであることを特徴とする、請求項7に記載のプロセッサ。

9. 前記第1の複数のデータ要素内のデータ要素からコピーされる一部が、前記第3の複数のデータ要素内で隣接して格納されることを特徴とする、請求項8に記載のプロセッサ。

10. 前記第1および第2の複数のデータ要素からコピーされる前記一部が、前記第1および第2の複数のデータ要素が前記第1および第2のバックドデータ内で現れるのと同じ順序で格納されることを特徴とする、請求項9に記載のプロセッサ。

11. 前記第1および第2の複数のデータ要素内のすべてのデータ要素が符号付きで、前記第3の複数のデータ要素内のすべてのデータ要素が符号付きまたは無符号であることを特徴とする、請求項10に記載のプロセッサ。

12. 前記第3の複数のデータ要素のすべてのデータ要素が飽和または非飽和であることを特徴とする、請求項11に記載のプロセッサ。

13. 前記第1の複数のデータ要素と前記第2の複数のデータ要素がそれぞれ

2個、4個、または8個のデータ要素を含むことを特徴とする、請求項6に記載のプロセッサ。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/15713

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : G06F 7/14, 9/30

US CL : 395/375, 800

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 395/375, 800

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

APS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X,P	US, A, 5,423,010 (MIZUKAMI) 06 JUNE 1995, FIGS. 2A, 12 AND 13, COL. 3	1-14
X,P	US, A, 5,408,670 (DAVIES) 18 APRIL 1995, COL. 6, LINES 21-29	1-14
Y	US, A, 5,168,571 (HOOVER ET AL) 01 DECEMBER 1992, FIGS. 4 AND 5, COL. 6	1-14
Y	US, A, 4,139,899 (TULPUL ET AL) 13 FEBRUARY 1979, ENTIRE DOCUMENT	1-14
Y,P	US, A, 5,465,374 (DINKJIAN ET AL) 07 NOVEMBER 1995, ENTIRE DOCUMENT	1-14
A	US, A, 4,595,911 (KREGNESS ET AL) 17 JUNE 1986	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	* T	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be part of particular relevance	* X	convention of particular relevance: the cited document cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document published on or after the international filing date	* Y	indication of particular relevance: the cited document cannot be considered to involve an inventive step when the document is combined with one or more other cited documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubt on priority claimed or which is used to establish the publication date of another citation or other special reason (as specified)	* A	document member of the same patent family
"U" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search

27 FEBRUARY 1996

Date of mailing of the international search report

12 MAR 1996

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No (703) 305-3230

Authorized officer

KENNETH S. KIM

Telephone No. (703) 305-9693

Form PCT/ISA/210 (second sheet) (July 1993)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/15713

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, A, 5,276,891 (PATEL) 04 JANUARY 1994	1-14
A	US, A, 5,265,204 (KIMURA ET AL) 23 NOVEMBER 1993	1-14
A	US, A, 5,327,543 (MIURA ET AL) 05 JULY 1994	1-14
A, P	US, A, 5,390,135 (LEE ET AL) 14 FEBRUARY 1995	1-14

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, U G), AL, AM, AT, AT, AU, BB, BG, B R, BY, CA, CH, CN, CZ, CZ, DE, DE, DK, DK, EE, EE, ES, FI, FI, GB, GE, HU, IS, JP, KE, KG, KP, KR, K Z, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SK, T J, TM, TT, UA, UG, UZ, VN

(72)発明者 ミタル, ミリンド

アメリカ合衆国・94080・カリフォルニア
州・サウス サンフランシスコ・ヒルサイ
ド ブルバード・1149

(72)発明者 メネマイアー, ラリー・エム

アメリカ合衆国・95006・カリフォルニア
州・ボルダー クリーク・ビーオー ボッ
クス・587

(72)発明者 エイタン, ベニー

イスラエル国・ハイファ・スティーブン
ウィース・25

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成15年4月15日(2003. 4. 15)

【公表番号】特表平10-512070

【公表日】平成10年11月17日(1998. 11. 17)

【年通号数】

【出願番号】特願平8-519125

【国際特許分類第7版】

G06F 9/30 350

【F I】

G06F 9/30 350 E

予備補正書

平成 14.11.21

特許庁長官様

1. 予稿の表示 特願平8-519125号
(出願番号) PCT/JP95/16713

2. 補正をする者
名称 インパル・コーポレーション

3. 代理人
住所 東京都千代田区永田町2丁目4番2号
有明ビル8階
山田商事株式会社
電話 (03R0) 0001
電報 (0462) 赤松 山田 商事

4. 補正の趣意 請求の範囲

5. 補正対象項目名 請求の範囲

6. 補正の内容 請求の範囲を、記載の通り補正する。

請求の範囲

1. 第1の領域コードと、少なくとも第1のデータ要素を含む第1の複数のデータ要素を含む第1のオペランドを有する第1のフィールドと、少なくとも第2のデータ要素を含む第2の複数のデータ要素を含む第2のオペランドを有する第2のフィールドとを含む、第1および第2の複数のデータ要素のデータ要素それぞれがNビット長の命令形式である第1の命令を保持するステップと;

第1の複数のデータ要素から選択される第1のNビット長の第1のマルチビット部分をデスティネーション・オペランドにパックし、第2の複数のデータ要素から選択される第2のNビット長の第2のマルチビット部分をソース・オペランドにパックすることにより、前記第1の命令に等しい長さの少なくともNビットの第1のマルチビットデータを生成するステップとを含むことを特徴とする方法。

2. 前記第1の命令がパック命令であることを特徴とする請求項1に記載の方法。

3. 第1のオペランドの第1のデータ要素セットに、デスティネーション・オペランドの第1のマルチビットデータを上書きするステップとさらに含むことを特徴とする請求項1または2に記載の方法。

4. 第1の複数のデータ要素の1つまたは複数のデータ要素に、第1の複数のデータ要素のうちの第1のマルチビット部分を上書きするステップとさらに含むことを特徴とする請求項1から3のいずれかに記載の方法。

5. 第1の複数のデータ要素の1つまたは複数のデータ要素に、第2の複数のデータ要素のうちの第2のマルチビット部分を上書きするステップとさらに含むことを特徴とする請求項1から4のいずれかに記載の方法。

6. デスティネーション・オペランドの第1のフィールドによって指定されることを特徴とする請求項1から5のいずれかに記載の方法。

7. 第1のフィールドが指定命令形式のビット1〜5で指定されることを特徴とする請求項1から5のいずれかに記載の方法。

8. 第2のフィールドが指定命令形式のビット1〜5を含むことを特徴とする請求項1から5のいずれかに記載の方法。

9. 第1および第2のマルチビット部分が各々N/2ビットであることも特徴とする請求項1から8のいずれかに記載の方法。

10. 第1の複数のデータ要素から導出される第1のマルチビット部分がこの第1の複数のデータ要素のそれぞれのデータ要素の最下位ビットを少くとも第2の複数のデータ要素から導出される第2のマルチビット部分がこの第2の複数のデータ要素のそれぞれのデータ要素の最下位ビットを少くとも第3の複数のデータ要素から導出される第3のマルチビット部分を含むことを特徴とする請求項1から8のいずれかに記載の方法。

11. 符号付きのランダムランピング (crampling) を適用して第1および第2のマルチビット部分をバックすることと特徴とする請求項1から8のいずれかに記載の方法。

12. 符号付きのランダムランピングを使用して第1および第2のマルチビット部分をバックすることと特徴とする請求項1から8のいずれかに記載の方法。

13. 符号付きのデータ要素により第1および第2のマルチビット部分のバックを行うことを特徴とする請求項1から12のいずれかに記載の方法。

14. 第4のデータ要素と、第3のデータ要素を含む第2の複数のデータ要素を含む第3のオペランドを示す第1のフィールドと、第4のデータ要素を含む第4の複数のデータ要素を含む第4のオペランドを示す第2のフィールドとを含む、第1および第2の複数のデータ要素のデータ要素それぞれがM/2ビットである第1の命令形式である第3の命令2を含むシステムと;

前記第3の命令に基いて、第1および第2のデータ要素を含む、第4の命令として得られるMビットの第1のデータ要素と導出されるシステムと;

第3の命令を含むことを特徴とする請求項1から13のいずれかに記載の方法。

15. マシンからアクセスされると請求項1から14のいずれかに記載の方法の1つまたは複数のマシンに実行されるプログラムを含む、マシンによるアクセス可能な媒体を含むことを特徴とするプロセッサ。

16. 請求項1から14のいずれかに記載の方法の1つまたは複数の方法を実行するように装置を構築する、少なくとも1つの処理装置に連結した制御データを包含し、マシンによるアクセス可能な媒体を含むことを特徴とするプロセッサ。

17. 請求項1から14のいずれかに記載の方法の1つまたは複数の方法を実行する装置であって、

第1の複数のデータ要素を供給する第1の出力場所と、

第2の複数のデータ要素を供給する第2の出力場所と;

第1および第2の出力場所にアクセスするデコーダと;

少なくとも1つの命令を最下データ要素を供給し、前記少なくとも1つの命令をデコーダに供給する第3の出力場所と;

前記第1の命令を最下データ要素と少なくとも1つの命令に少なくとも1つの命令に必要で、前記第1の命令から14のいずれかに記載の方法の1つまたは複数の方法を実行する、デコーダと動作的に結合された複数のユニットと

を含むことを特徴とするプロセッサ。

18. 第1のデータ要素を含む第1の複数のデータ要素を含む第1のオペランドと第2のデータ要素を含む第2の複数のデータ要素を含む第2のオペランドとを有し、第1および第2の複数のデータ要素のデータ要素それぞれがN/2ビットである第1の命令を含むデコーダと;

デコーダが第1の命令をロードするのに基いて、第1および第2の複数のデータ要素から導出される第3のNビットのマルチビット部分を含む、少なくともN/2ビットである第1のバックデータ要素を供給する、デコーダと動作的に結合された複数のユニットと

を含むことを特徴とするプロセッサ。

19. 第1の命令は8バイト以上を含む形式であり、8バイト以上のバイトの第1のバイトにより、第1の32ビットのソース・レジスタ・アドレス・レジスタ・アドレス、および第2の32ビットのソース・レジスタ・アドレスが指定されることを特徴とする請求項18に記載のプロセッサ。

20. 第1のオペランドが第1の32ビットのソース・レジスタ・アドレス・レジスタ・アドレスに指定することと特徴とする請求項19に記載のプロセッサ。

21. 第2のオペランドが、メモリ内のアドレス指定可能な場所に格納することと特徴とする請求項18から20のいずれかに記載のプロセッサ。

22. 第3のオペランドが第3の32ビットのソース・レジスタ・アドレスに指定することと特徴とする請求項19または20に記載のプロセッサ。

23. 前記ユニットが、第1のNビットのソース・レジスタ・アドレス・レジスタ・アドレスに指定するアドレス・レジスタ・アドレスに第1のNビットのデータ要素を格納することと特徴とする請求項1から22のいずれかに記載のプロセッサ。

24. 第1の命令が、第1のオペランドを示す第1のフィールド、第2のオペランドを示す第2のフィールド、および第1のバックデータを供給するデスティネーションを示す第3のフィールドを含む形式であることを特徴とする請求項18に記載のプロセッサ。

25. 第1の命令を格納するメモリと;

ソフトウェアが第1の命令をメモリに格納し、命令デコーダがメモリから第1の命令を受け取り、ソフトウェアを実行する制御プロセッサと

を包含する。

前記第1の複数のデータ要素が第1のデータ要素を含む、前記第2の複数のデータ要素が第2のデータ要素を含む;

前記第1のバックデータが、第1のデータ要素から導出される第1のマルチビット部分A、および第2のデータ要素から導出される第2のマルチビット部分Bを含む複数のマルチビット部分と、第3のデータ要素から導出される第3のマルチビット部分C、および第4のデータ要素から導出される第4のマルチビット部分Dを含む複数のマルチビット部分を含むことを特徴とする請求項18から24のいずれかに記載のプロセッサ。

26. デジタル・オーディオ信号を処理するように構築されたシステムであって、

バックされたM個のNビット・データ要素の第1のセットから第1のM×Nビット・データと、バックされたM個のNビット・データ要素の第2のセットから第2のM×Nビット・データとを供給するメモリと;

第1および第2のM×Nビット・データにアクセスし、命令に基いてM個のバックされたN/2ビットの複数の第3のセットを生成する、メモリと結合したプロセッサであって、前記命令は、第1のM×Nビット・データに指定する

第1のソースと、第2のM×Nビット・データに指定する第2のソースとを指定するように動作可能な第1の形式であり、バックされたM個のN/2ビットの複数の第3のセットは、第1および第2のM個のバックされたNビット・データ要素からバックされた、任意の順序で指定したM個のN/2ビット要素に形成されるプロセッサと;

プロセッサがM個のNビットのデータの出力を生成し、プロセッサに結合したバスと;

オーディオ・デジタル化回路、音声信号源、音声再生回路、マイクロフォン、デジタル/アナログ変換器、およびスピーカからなる回路と前記オーディオ回路を含む1つまたは複数の回路の回路とバスを結合し、バスにデータを提供する、またはバスからデータを供給するインタフェースと

を包含することを特徴とするシステム。

27. 前記プロセッサが、第1のM×Nビット・データに2M個のバックされたN/2ビットの複数の第3のセットを生成することと特徴とする請求項26に記載のシステム。